

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-236319

(43)Date of publication of application : 03.10.1988

(51)Int.Cl.

H01L 21/30  
H01L 21/30  
H01L 21/88  
H03F 1/00

(21)Application number : 62-071268

(71)Applicant : NEC CORP

(22)Date of filing : 24.03.1987

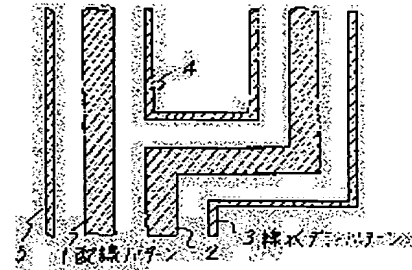
(72)Inventor : ONOZUKA TOMOJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To improve the dimensional accuracy of width of wiring patterns and to improve the production yield and reliability, by providing dummy patters on a mask in form of line or broken line with a constant distance from wiring patterns to be formed.

CONSTITUTION: Linear dummy patterns 3 and 4 are provided with a constant distance from wiring patterns 1 and 2 to be formed, respectively. In order to form the wiring patterns 1 and 2 by using a reticle prepared in this way, a layer of aluminium as conducting material for wiring is first vapor deposited or sputtered on the whole surface of a wafer. Photoresist is applied on the aluminium layer and is exposed by means of a reduction projection exposure apparatus. After developed, the aluminium metal layer is etched. Since the wiring patterns 1 or 2 transferred onto the wafer is spaced by a constant distance from the adjacent wiring pattern 2 or 1 and from the dummy patterns 3, 4 and 5, such pattern can be formed without being affected by loading effect during exposure, development or etching.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-236319

|                         |       |           |                       |
|-------------------------|-------|-----------|-----------------------|
| ⑬ Int. Cl. <sup>4</sup> | 識別記号  | 庁内整理番号    | ⑭ 公開 昭和63年(1988)10月3日 |
| H 01 L 21/30            | 3 0 1 | Z-7376-5F |                       |
|                         | 3 1 1 | P-7376-5F |                       |
|                         |       | Z-7376-5F |                       |
| H 03 F 21/88            |       | C-6708-5F |                       |
| 1/00                    | G C A | V-7827-5J | 審査請求 未請求 発明の数 1 (全3頁) |

⑯ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭62-71268

⑱ 出 願 昭62(1987)3月24日

⑲ 発 明 者 小 野 塚 友 二 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発明の名称

半導体装置の製造方法

## 特許請求の範囲

配線パターンの形成工程を含む半導体装置の製造方法において、必要となる配線パターンに対して一定の間隔を有する線状もしくは波線状のグミーパーターンをマスク上に設ける工程を含んでいることを特徴とする半導体装置の製造方法。

## 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に配線パターンの形成を写真蝕刻法により行う半導体装置の製造方法に関する。

(従来の技術)

従来、半導体装置の配線パターンを形成する場合、ウェーハ全面にアルミ等の導電材料を蒸着さ

たはスパッタリングする工程と、前記導電材料の上にホトリジストを塗布する工程と、露光装置により必要なパターンをウェーハ上に転写する工程と、現像およびエッチング等を行う工程とを実施し所望のパターンを得ていた。

(発明が解決しようとする問題点)

上述した従来の半導体装置の製造方法、特に配線パターンの形成方法においては、配線パターンの密度差によりエッチング速度が異なる現象、すなわちローディング効果により配線パターン幅の寸法精度が悪くなること、更には配線パターンの微細化が進むにつれてローディング効果も顕著になること等の欠点がある。

特に、配線パターン密度の粗なる箇所ではオーバーエッチングによる断線が生じやすく、半導体装置の製造歩留りおよび信頼性に問題があった。

本発明の目的は配線パターン幅の寸法精度を向上させ、もって製造歩留りおよび信頼性を向上させる半導体装置の製造方法を提供することにある。

## 特開昭63-236319(2)

(問題点を解決するための手段)

本発明における半導体装置の製造方法は、必要となる配線パターンに対して一定の間隔を有する線状もしくは線状のダミーパターンをマスク上に設ける工程を含んで構成される。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を説明するためのパターン図であり、ステップ用5倍レティクル上のパターン図である。

第1図に示すように、幅が $1.2\mu\text{m}$ の配線パターン1、2があり、この配線パターン1、2に対して一定の間隔 $1.2\mu\text{m}$ を保って幅 $3\mu\text{m}$ の線状のダミーパターン3、4および5を設ける。尚、配線パターン1、2相互の最小間隔は $1.2\mu\text{m}$ とする。

このように設定されたレティクルを用いて配線パターン1、2を形成する場合、まず配線用の導電材料として膜厚が約 $1\mu\text{m}$ のアルミニウム金属

層をウェーハ全面に蒸着またはスパッタリングする。次に、このアルミニウム金属層の上にホトレジストを塗布し、 $1/5$ 縮小投影型露光装置を用いて露光する。しかる後、現像工程を経て前記アルミニウム金属層のエッチングを行なう。

このとき、ウェーハ上に転写された配線パターン1あるいは2は隣接する配線パターン2あるいは1およびダミーパターン3、4、5により間隔が一定に保たれているため、露光時、現像時およびエッチング時にローディング効果の影響を受けることなくパターンの形成が行なわれる。一方、線状のダミーパターン3、4、5についてみると、隣接する配線パターン1、2に近い側面はローディング効果の影響を受けないが、配線パターン1、2に遠い方の側面はローディング効果が伴うためエッチング等が加速される。

また、エッチング時間の設定については、エッチング残りをなくするために理論的に計算できるエッチング終了までの理論的所要時間の約50%増のエッチング時間を設定している。

従って、線状のダミーパターン3、4、5はローディング効果におけるエッチング速度の加速と相まってウェーハ上にパターンを残さないようにすることができる。

第2図は本発明の第二の実施例を説明するためのパターン図である。

第2図に示すように、配線パターン1、2に対し、マスク上に線状のダミーパターン13、14および15を設けたものである。この第二の実施例においても、配線パターン1、2と線状のダミーパターンとは等間隔に形成されており、その結果、全面のエッチング速度をほぼ均一にすることができる。従って、配線パターン幅の寸法精度を向上させることができる。

(発明の効果)

以上説明したように、本発明は配線パターンに対して一定の間隔を有する線状もしくは線状のダミーパターンをマスク上に設けることにより、配線パターン幅の寸法精度を向上させることができ、半導体装置の製造歩留りおよび信頼性を向上

させる効果ある。

また、本発明においてはダミーパターンがウェーハ上に残らないため、半導体装置の特性に影響を与えないこと、および外観チェックにも支障をきたさないで済む効果もある。

図面の簡単な説明

第1図は本発明の第一の実施例を説明するためのパターン図、第2図は本発明の第二の実施例を説明するためのパターン図である。

1、2…配線パターン、3、4、5…線状のダミーパターン、13、14、15…線状のダミーパターン。

代理人 弁理士 内 原 晋

特開昭63-236319(3)

